



Reference 2

(11) Publication number: **06224640 A**

(43) Date of publication of application: 12.08.84

(21) Application number: 05009992

(71) Applicant: SANYO ELECTRIC CO LTD

(22) Date of filing: 25.01.83

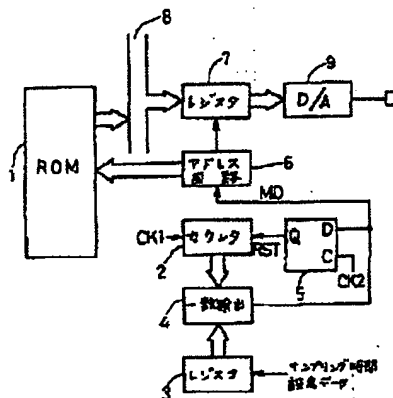
(72) Inventor: **ARAI YOSHIMASA**

(57) Abstract:

**PURPOSE:** To provide the analog waveform output device able to output an analog waveform with less waveform distortion without increasing the capacity of a memory.

**CONSTITUTION:** Even when plural analog waves whose frequencies differ are outputted by using a D/A converter circuit 9, a sampling division number to a degree of disregarding waveform distortion of the analog waveform of a longest period able to be outputted is set and digital data corresponding to a level of each division point have only to be stored in a ROM 1 by one period only, and waveform distortion of the analog waveform and increase in the memory capacity having been caused in a conventional device are prevented and then a very excellent analog waveform is outputted.

**COPYRIGHT: (C)1994,JPO&Japlo**



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-224640

(43) 公開日 平成6年(1994)8月12日

(51) IntCl.<sup>5</sup>

H 0 3 B 28/00

H 0 3 K 3/78

識別記号

B 9182-5 J

8124-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平5-9992

(22) 出願日

平成5年(1993)1月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 新井 好将

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

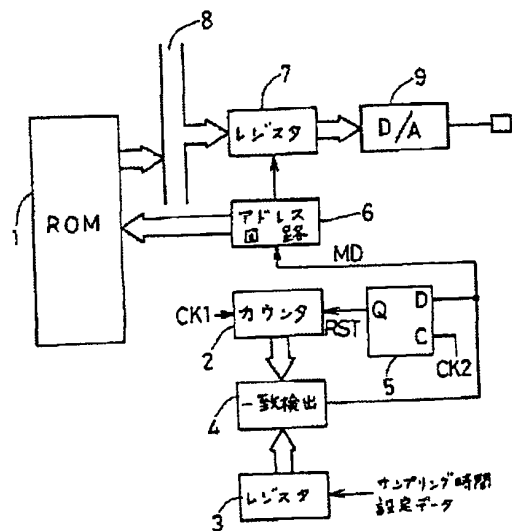
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 アナログ波形出力装置

(57) 【要約】

【目的】 本発明は、メモリ容量を増大させることなく、波形歪みの少ないアナログ波形を出力できるアナログ波形出力装置を提供することを目的とする。

【構成】 本発明によれば、D/A変換回路(9)を用いて周波数の異なるアナログ波形を複数出力する場合であっても、出力可能な最長周期のアナログ波形の波形歪みを無視できる程度のサンプリング分割数を設定し、且つこれら各分割点のレベルに対応するデジタルデータを1周期分だけROM(1)に記憶するだけでよく、従来生じていたアナログ波形の波形歪みやメモリ容量の増大を防止でき、極めて良好なアナログ波形を出力できることになる。



1

【特許請求の範囲】

【請求項1】 アナログ波形の1周期を予め定められた数で分割し該分割点での波形レベルに対応するデジタルデータが記憶されたメモリと、

前記各分割点毎のデジタルデータが記憶された各アドレスをアクセスするアドレス回路と、

サンプリング周期設定データがセットされるレジスタと、

計数結果が前記レジスタの内容に達した時にリセットされるカウンタと、

前記カウンタの計数値が前記レジスタの内容に一致したことを検出し、前記サンプリング周期設定データが示すサンプリング周期に同期して、前記アドレス回路のアドレス指定内容を変更する為の一致検出信号を発生する一致検出回路と、

前記メモリから読み出された前記アナログ信号の各分割点におけるデジタルデータを順次アナログ値に変換し、所望のアナログ波形を出力するDA変換回路と、を備え、

前記レジスタにセットされる前記サンプリング周期設定データは、前記アナログ波形の周期に応じて可変されることを特徴とするアナログ波形出力装置。 20

【請求項2】 前記アナログ波形の分割数は、前記DA変換回路から出力される最長周期のアナログ波形の歪みを無視できる数に設定されることを特徴とする請求項1記載のアナログ波形出力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータ等に内蔵されるDA変換回路を用いて良好なアナログ波形を出力するのに好適なアナログ波形出力装置に関する。 30

【0002】

【従来の技術】 最近のマイクロコンピュータは多機能化に伴い、周辺回路として例えばDA変換回路を内蔵している。このDA変換回路は、例えばキー操作に応じて周波数の異なるブザー音を発生する様な装置の為に使用され、DA変換回路のアナログ出力波形をブザー発生回路に供給することによって実現している。具体的には、聞き取り可能な周波数は数百～数KHzの範囲にあり、この範囲内で、ブザー音の為の、周波数の異なる複数のアナログ波形をDA変換回路から出力させたい場合、これらの複数のアナログ波形の1周期を一定間隔で分割し、各分割点における波形レベルに対応するデジタルデータを全てROM或はRAM等のメモリの各アドレスに予め記憶させている。そして、固定されたサンプリング周期で、上記メモリに記憶されたデジタルデータを順次読み出し、DA変換を行うことによりアナログ波形を出力している。 40

【0003】

2

【発明が解決しようとする課題】 しかしながら、サンプリング周期が固定である為、周波数の低いアナログ波形を発生するには何ら問題ないが、高周波数のアナログ波形を発生する場合、波形歪みを生じてしまう問題点があった。この波形歪みを克服しようとしてアナログ波形の1周期の分割数を多くすると共にこれに応じてサンプリング周期を短くすると、アナログ波形を発生する為のメモリ容量が増大してしまう問題があった。特に、従来においては、例えば10種類の周波数の異なるアナログ波形を出力させるには、10種類のアナログ波形の為のデジタルデータを個々にメモリに記憶させなければならず、サンプリング周期が短ければ短いほどメモリ容量の増大は顕著となる問題があった。

【0004】 そこで本発明は、メモリ容量を増大させることなく、波形歪みの少ないアナログ波形を出力できるアナログ波形出力装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は前記問題点を解決する為に成されたものであり、その特徴とするところは、アナログ波形の1周期を予め定められた数で分割し該分割点での波形レベルに対応するデジタルデータが記憶されたメモリと、前記各分割点毎のデジタルデータが記憶された各アドレスをアクセスするアドレス回路と、サンプリング周期設定データがセットされるレジスタと、計数結果が前記レジスタの内容に達した時にリセットされるカウンタと、前記カウンタの計数値が前記レジスタの内容に一致したことを検出し、前記サンプリング周期設定データが示すサンプリング周期に同期して、前記アドレス回路のアドレス指定内容を変更する為の一致検出信号を発生する一致検出回路と、前記メモリから読み出された前記アナログ信号の各分割点におけるデジタルデータを順次アナログ値に変換し、所望のアナログ波形を出力するDA変換回路と、を備え、前記レジスタにセットされる前記サンプリング周期設定データを、前記アナログ波形の周期に応じて可変する点である。 50

【0006】

【作用】 本発明によれば、出力すべきアナログ波形の周期に応じてサンプリング周期を可変できる為、形状が同様で周期のみ異なるアナログ波形を出力させる場合、1周期分のみのアナログ波形データをメモリに記憶させるだけで済むことになる。

【0007】

【実施例】 本発明の詳細を図面に従って具体的に説明する。

【0008】 図1は本発明を説明する為のブロック図、図2は図1の動作を説明する為のタイミングチャート、図3は図1の動作を説明する為のフローチャートである。尚、図1の構成はマイクロコンピュータに内蔵されているものとする。

【0009】 図1において、(1)は上記マイクロコン

ビュータを動作させる為のプログラムデータが記憶されたROMであり、該ROM(1)の特定されたアドレスには、後述する1周期分のアナログ波形の各サンプリング点におけるデジタルデータが書き込まれている。尚、アナログ波形の為のデジタルデータを記憶する手段は上記したROM(1)に限らず、マイクロコンピュータの初期時に該データを書き込むことのできるRAM等のメモリであってもよい。(2)はクロックCK1の立上りに同期して計数動作を行うnビットのカウンタであり、クロックCK1の周期は各サンプリング間の周期に比べて短く設定されている。(3)はアナログ波形のサンプリング周期に対応したデータがセットされるnビットのレジスタである。ここで、後述のDA変換後のアナログ波形を音声情報として出力する場合、聞き取り可能な音声周波数は数百Hz～数KHzの範囲である。そこで、1周期分のアナログ波形のサンプリング分割数は、音声周波数が最も低いアナログ波形の波形歪みを無視できるだけの分割数に定められているものとする。尚、この分割ポイントを有するアナログ波形の周波数を最も高くした場合であっても、この時の最小サンプリング周期を後述の一致検出回路で検出できる様に、クロックCK1の周期はこの最小サンプリング周期に比べて短く設定されている。この状態で、出力すべきアナログ波形の周期(低音の場合は周期が長く、高音の場合は周期が短くなる)を長くしたり或は短くしたりした場合、これに比例して変化するサンプリング周期に対応したデジタルデータがレジスタ(3)にセットされる。(4)はカウンタ(2)の計数内容がレジスタ(3)の値に一致したことを検出し、その時にハイレベルの一致検出信号MDを発生する一致検出回路である。(5)はDフリップフロップであり、データを取り込む為のD端子は一致検出回路(5)の出力端子と接続され、クロックを取り込む為のC端子にはクロックCK1より周波数の高いクロックCK2が印加され、更に出力の為のQ端子はカウンタ(2)のリセット端子と接続されている。即ち、ハイレベルの一致検出信号MDがクロックCK2に同期してDフリップフロップ(5)に取り込まれると、ハイレベルのリセット信号RSTが出力され、レジスタ(3)の値まで計数を行ったカウンタ(2)の内容はリセット信号RSTによってリセットされる。尚、クロックCK2の周波数はクロックCK1のそれに比べて高く設定されている為、クロックCK1によるカウンタ(2)の計数動作がクロックCK2によって妨害されることはない。(6)はアナログ波形の為のデジタルデータが記憶されたROM(1)のアドレスをアクセスするアドレス回路であり、一致検出信号MDが入力される度にアドレス内容を+1づつインクリメントするものである。(7)はROM(1)から読み出されたアナログ波形の為のデジタルデータがデータバス(8)を介してセットされるレジスタである。(9)はレジスタ(7)にセットされた

内容をアナログ値に変換するDA変換回路である。

【0010】例えば3個のキーを選択的に押圧することにより、そのキーに応じた高、中、低の周波数のブザー音を発生するシステムに図1回路を用いた場合の例について説明する。この場合、アナログ波形はブザー音の高低に応じて周波数が変化するのみで、それ以外の振幅等の条件は変化しない。その為、ROM(1)に記憶されるアナログ波形に対応するデジタルデータは、1周期分のアナログ波形の分割数だけでよいことになる。例えば図4に示す様に、アナログ波形(例えば正弦波)の1周期をS0～S15まで等間隔で16分割する。尚、この分割数であれば、DA変換後に出力可能な最長周期のアナログ波形の波形歪みを無視できるものとする。従って、ROM(1)にはアナログ波形の振幅Lの範囲でS0～S15が存在する位置でのレベルに対応する15個のデジタルデータが記憶されることになる。これらの分割点S0～S15におけるサンプリングデータは、アナログ波形の周期が変化したところで固定である。

【0011】まずマイクロコンピュータが初期化された後、何らかのキー(図示せず)が押されると、このキー操作が検出されて図3に示すフローで動作を行うプログラムが実行される。つまり、上記キーに対応付けられている周波数が何Hzを指示しているのかをまず判定する(ステップ①)。上記キーが低周波数を指示しているものと判定した場合、アナログ波形の各分割点間のサンプリング周期が長くなる為、このサンプリング周期を示すデータがレジスタ(3)にセットされる(ステップ②)。そして、カウンタ(2)がクロックCK1の立上りに同期して計数を開始し、図2の時刻t0でカウンタ(2)の内容がレジスタ(3)の値に一致すると、即ちサンプリング周期に等しい時間が経過すると、一致検出信号MDがハイレベルとなり、1周期の上記アナログ波形の1番目の分割点S0のレベルに対応したデジタルデータが記憶されているROM(1)のアドレスが、アドレス回路(6)によってアクセスされる。そしてROM(1)から読み出されたこのデジタルデータはデータバス(8)を介してレジスタ(7)に一旦保持され、その後マイクロコンピュータの動作クロックに同期してDA変換回路(9)によってアナログ値に変換される。一方、時刻t1で発生するリセット信号RSTでカウンタ(2)はリセットされ、次のサンプリング周期を検出する為に、再度計数動作を開始する。そして同様の動作を繰り返し、アナログ波形の2番目から最終の分割点S1～S15に対応するデジタルデータが順次DA変換回路(9)にてアナログ値に変換され、1周期分のアナログ波形が出力されることになる。このアナログ波形を数周期出力することによって波形出力が終了する(ステップ⑤)。このアナログ波形出力は後段のブザー音発生回路(図示せず)に印加され、低周波数の音として発生することになる。その後、再び、キー入力の周波数判定が行

5

われるが、キーに対応するブザー音周波数がステップ③、④に示す中間周波数、高周波数であっても、ステップ②の低周波数の場合と同様に動作する。尚、本実施例は3種類のキーについて説明したが、それ以上の周波数についても対応できることはいうまでもない。

【0012】以上より、本発明によれば、DA変換回路(9)を用いて周波数の異なるアナログ波形を複数出力する場合であっても、出力可能な最長周期のアナログ波形の波形歪みを無視できる程度のサンプリング分割数を設定し、且つこれら各分割点S0～S15のレベルに

【0013】

【発明の効果】本発明によれば、DA変換回路を用いて周波数の異なるアナログ波形を複数出力する場合であっても、出力可能な最長周期のアナログ波形の波形歪みを

6

無視できる程度のサンプリング分割数を設定し、且つこれら各分割点のレベルに対応するデジタルデータを1周期分だけメモリに記憶するだけでよく、従来生じていたアナログ波形の波形歪みやメモリ容量の増大を防止でき、極めて良好なアナログ波形を出力できる利点が得られる。

【図面の簡単な説明】

【図1】本発明を説明する為のブロック図である。

【図2】図1の動作を説明する為のタイミングチャートである。

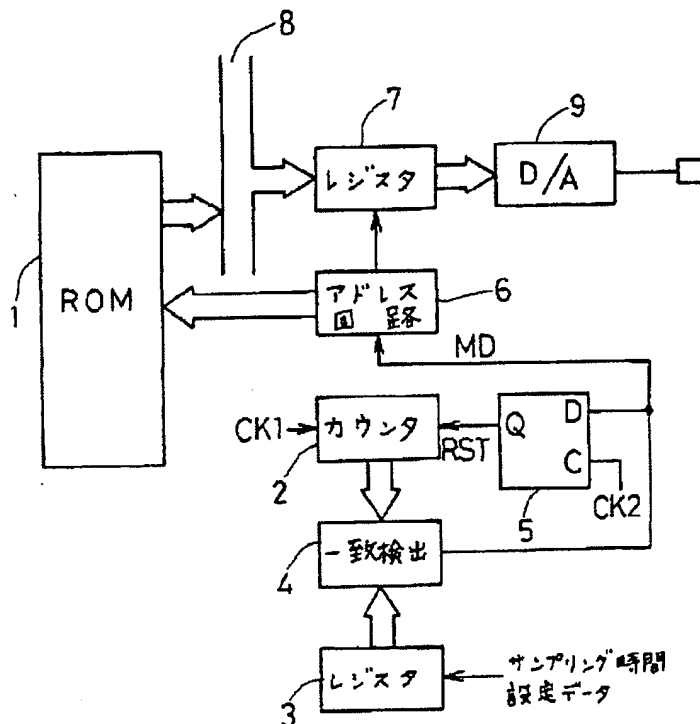
【図3】図1の動作を説明する為のフローチャートである。

【図4】アナログ波形を示す図である。

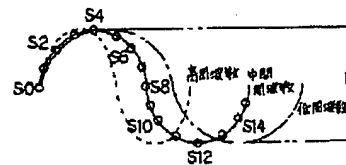
【符号の説明】

- (1) ROM
- (2) カウンタ
- (3) レジスタ
- (4) 一致検出回路
- (6) アドレス回路
- (9) DA変換回路

【図1】

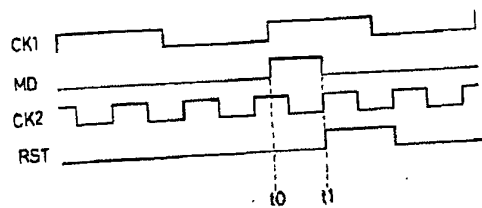


【図4】



(5)

【図2】



【図3】

